

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196065

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 29/06
H01L 29/04
H01S 5/343

(21)Application number : 10-371061

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.12.1998

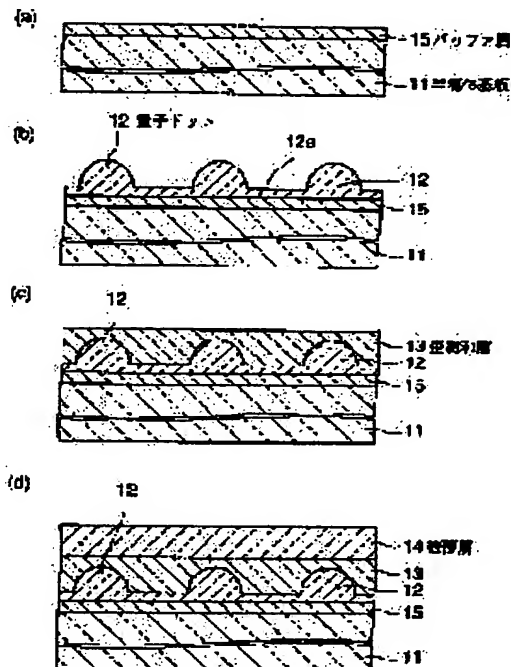
(72)Inventor : MUKAI TAKETERU

(54) DEVICE EQUIPPED WITH QUANTUM DOT

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain the energy of quantum dots from being affected by a temperature change by a method wherein the quantum dots are formed on the surface of a substrate and covered with a first semiconductor crystal layer, and furthermore the quantum dots and the first semiconductor crystal layer are covered with a second semiconductor crystal layer.

SOLUTION: A GaAs buffer layer 15 is grown on a GaAs substrate 11, and many InAs quantum dots 12 are formed on the top surface of the buffer layer 15. An InAs layer 12a thinner than the quantum dot 12 is present around the quantum dots 12, and gaseous trimethyl indium, triethyl gallium, and arsine are supplied onto the surfaces of the InAs layer 12a and the quantum dots 12 to form a first distortion relaxing layer 13 of semiconductor crystal, by which the quantum dots 12 are buried in the distortion relaxing layer 13. Thereafter, gaseous triethyl gallium and arsine are supplied to the distortion relaxing layer 13 so as to form a GaAs coating layer 14 on the distortion relaxing layer 13.



LEGAL STATUS

[Date of request for examination]

23.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-196065

(P2000-196065A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/06

H 0 1 L 29/06

5 F 0 7 3

29/04

29/04

H 0 1 S 5/343

H 0 1 S 3/18

6 7 7

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号

特願平10-371061

(22) 出願日

平成10年12月25日 (1998. 12. 25)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 向井 剛輝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

Fターム(参考) 5F073 AA51 AA75 CA02 CA07 CA24

CB04 DA05

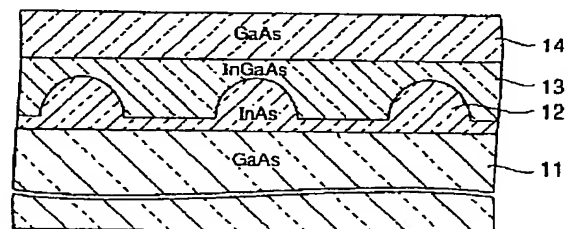
(54) 【発明の名称】 量子ドットを備えた素子

(57) 【要約】

【課題】 量子ドットを備えた素子に関し、量子ドットのエネルギーを温度変化に影響されにくくすること。

【解決手段】 基板11上に形成された第1の格子定数をもつ半導体よりなる量子ドット12と、第1の格子定数とは異なる第2の格子定数を有し且つ量子ドット12を第1の方向から覆う第1の半導体結晶層13と、第2の格子定数とは異なる第3の格子定数を有し且つ第1の方向に対して垂直な第2の方向から量子ドット12及び第1の半導体結晶層13を覆う第2の半導体結晶層14を含む。

本発明の実施形態に係る量子ドット構造素子を示す断面図



【特許請求の範囲】

【請求項1】基板の面上に形成された第1の格子定数をもつ半導体よりなる量子ドットと、

前記第1の格子定数とは異なる第2の格子定数を有し、且つ前記量子ドットを第1の方向から覆う第1の半導体結晶層と、

前記第2の格子定数とは異なる第3の格子定数を有し、且つ前記第1の方向に対して垂直な第2の方向から前記量子ドット及び前記第1の半導体結晶層を覆う第2の半導体結晶層とを有することを特徴とする量子ドットを備えた素子。 10

【請求項2】前記第1の方向は前記基板の前記面に平行な方向であることを特徴とする請求項1記載の量子ドットを備えた素子。

【請求項3】前記量子ドットは、前記基板に対する格子歪みに起因して生成された微結晶であることを特徴とする請求項1記載の量子ドットを備えた素子。

【請求項4】前記第2の半導体結晶層の前記第3の格子定数よりも、前記第1の半導体結晶層の第2の格子定数の方が大きいことを特徴とする請求項1記載の量子ドットを備えた素子。 20

【請求項5】前記第1の半導体結晶層の前記第2の格子定数が、前記第2の半導体結晶層の前記第3の格子定数より1.4%以上大きいことを特徴とする請求項4記載の量子ドットを備えた素子。

【請求項6】前記量子ドットは、III-V族半導体又はII-VI族半導体からなることを特徴とする請求項1記載の量子ドットを備えた素子。

【請求項7】前記III-V族半導体は、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x \leq 1$)であることを特徴とする請求項6記載の量子ドットを備えた素子。 30

【請求項8】前記第1の半導体結晶層又は前記第2の半導体結晶層の少なくとも1つがIII-V族半導体から構成されることを特徴とする請求項1記載の量子ドットを備えた素子。

【請求項9】前記III-V族半導体は、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x < 1$)であることを特徴とする請求項8記載の量子ドットを備えた素子。

【請求項10】前記第1の半導体結晶層又は前記第2の半導体結晶層を構成する前記III-V族半導体は $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x < 1$)であって、該 $\text{In}_x\text{Ga}_{1-x}\text{As}$ を構成するインジウムの組成比 x は、前記第2の半導体結晶層よりも前記第1の半導体結晶層の方が0.2以上大きいことを特徴とする請求項8記載の量子ドットを備えた素子。 40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、量子ドットを備えた素子に関する。

【0002】

【従来の技術】半導体プロセスの進歩に伴い、ナノスケールの成長技術、微細加工技術が半導体素子の作成に利用されるようになってきている。その成長技術、微細加工技術によって、回路の集積度を上げることはもとより、量子力学的効果を利用した素子、例えばHBT (hetero-bipolar transistor) や量子井戸レーザなどが実用化されている。

【0003】量子力学的効果を利用する究極の材料として、量子ドットに対する半導体分野の期待は大きい。

【0004】半導体レーザにおける発振閾値やその閾値の温度特性について、量子井戸レーザでは特性改善の限界が指摘されており、この問題を回避する方法の一つとして量子ドットを用いることが提案されている。この他にも、Shunichi Muto, Jpn.J. Appl. Phys. Vol. 34 (1995) pp. L210-L212に見られるように、ホールバーニグ効果を応用した量子ドットメモリが提案されるなど、新しい材料を用いた新しい次世代の素子を作る研究が、近年盛んである。

【0005】量子ドット構造とは、キャリアに3次元的な量子閉じ込めを与えるほど極微細なポテンシャル箱のことであり、量子ドットの状態密度がデルタ関数的になっているために、1つの量子ドットの伝導帯の基底準位には電子が2個しか入ることができない。量子ドットを半導体レーザの活性領域として用いることにより、電子・正孔と光との相互作用を極限まで効率化できるメリットがあり、次世代の素子技術として期待が大きい。

【0006】そのような量子ドット構造を作成するための技術として、まず、微細加工技術開発の延長線上にある人為的な加工技術の高度化がある。例を挙げると、電子線を用いたリソグラフィによる方法、マスクパターン上に積み上がられたピラミッド型の結晶の頂上を量子ドット構造とする方法、マスクパターン下にエッチングされた四面体孔の面に量子ドットを作成する方法、微傾斜基板上における成長初期の横方向成長を利用する方法、STM技術を応用した原子マニピュレーションの方法、などがある。例えば、ピラミッド型結晶の頂点に形成された量子ドットの構造は、USP5,313,484に記載され、四面体孔の内面に量子ドットを作成する方法は、USP5,656,821に記載されている。

【0007】それらの方法は、量子ドット構造を人為的に加工するという共通の特徴があるために、形成位置を任意に制御できるという利点を有している。

【0008】また、ここ数年に現れた新しい技術として、量子ドットを自己形成させる方法がある。具体的な作成方法は、ある特定の条件下で格子不整合の半導体を気相エピタキシャル成長することであり、その結果、2次元膜でなく、3次元的な微細構造（量子ドット構造）が自己形成される。この方法は、実施が容易であり、しかも人為的に加工する場合に比べて、極めて質の均一性が高く、高個数密度で、高品質の量子ドットを得ること 50

ができる。そのような技術は、Istavan Daruka et al., PHYSICAL REVIEW LETTERS, Vol.79, No.19, 10 Nov. 1997 に記載されている。

【0009】その自己形成量子ドットを用いた半導体素子、例えば半導体レーザが実際に報告されるようになり、量子ドット素子の可能性が現実のものになっている。

【0010】図1は、GaAs基板1上に自己形成されたInAsドット2がGaAs層3によって覆われた状態を示している。

【0011】

【発明が解決しようとする課題】以上のように、量子ドットの形成技術の進歩は目ざましいものがあるが、これとともに、デバイスの実用化に向けての課題も明らかになってきている。その1つに、量子ドットエネルギーの温度依存性がある。一般に、温度が上昇するとエネルギーが低くなり、その温度変化は素子特性に影響する。例えば、図2(a)に示すような温度が低い状態と、図2(b)に示すような温度が高い状態を比べると量子ドット2とその周囲の結晶1、3の相互間の結晶格子歪が異なってくる。

【0012】エネルギーの温度変化の理由は本質的なものである。これは、半導体結晶の格子定数が温度に依存するために、格子定数の変化によってバンドギャップが変化することがその理由である。

【0013】つまり、そのような現象は、量子ドットに限らず、量子井戸でも現れる。このような現象を克服するため、新しい材料系の探索も行われているが、まだ成功までに至っていない。

【0014】本発明の目的は、量子ドットのエネルギーが温度変化に影響されにくくなる構造の半導体装置を提供することにある。

【0015】

【課題を解決するための手段】上記した課題は、図3に例示するように、基板11の面上に形成された第1の格子定数をもつ半導体よりなる量子ドット12と、前記第1の格子定数とは異なる第2の格子定数を有し且つ前記量子ドット12を第1の方向から覆う第1の半導体結晶層13と、前記第2の格子定数とは異なる第3の格子定数を有し且つ前記第1の方向に対して垂直な第2の方向から前記量子ドット12及び前記第1の半導体結晶層13を覆う第2の半導体結晶層14とを有することを特徴とする量子ドットを備えた素子によって解決する。

【0016】上記した量子ドットを備えた素子において、前記第1の方向は前記基板11の前記面に平行な方向であることを特徴とする。

【0017】上記した量子ドットを備えた素子において、前記量子ドット12は、前記基板11に対する格子歪みに起因して生成された微結晶であることを特徴とする。

【0018】上記した量子ドットを備えた素子において、前記第2の半導体結晶層14の前記第3の格子定数よりも、前記第1の半導体結晶層13の第2の格子定数の方が大きいことを特徴とする。この場合、前記第1の半導体結晶層13の前記第2の格子定数が、前記第2の半導体結晶層14の前記第3の格子定数より1.4%以上大きくしてもよい。

【0019】上記した量子ドットを備えた素子において、前記量子ドットは、III-V族半導体又はII-VI族半導体からなることを特徴とする。この場合、前記III-V族半導体を、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x \leq 1$) から構成してもよい。

【0020】上記した量子ドットを備えた素子において、前記第1の半導体結晶層又は前記第2の半導体結晶層の少なくとも1つがIII-V族半導体から構成されることを特徴とする。この場合、前記III-V族半導体を、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x < 1$) から構成してもよい。また、前記第1の半導体結晶層13又は前記第2の半導体結晶層14を構成する前記III-V族半導体を $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x < 1$) から構成し、且つ該 $\text{In}_x\text{Ga}_{1-x}\text{As}$ を構成するインジウムの組成比 x を前記第2の半導体結晶層14よりも前記第1の半導体結晶層13の方を0.2以上大きくしてもよい。

【0021】なお、上記した図番及び符号は、発明の理解を容易にするために引用したものであって、本発明はそれらに限定されるものでない。

【0022】次に、本発明の作用について説明する。

【0023】本発明によれば、量子ドットの一部を第1の半導体結晶層によって覆うことにより、量子ドットとこれを覆う第2の半導体結晶層の格子歪みを緩和するようにしたので、量子ドットのもともとのエネルギーに対する格子歪みの影響が少なくなり、これにより、温度変化による量子ドットの格子歪エネルギーの変化量が少なくなり、この結果、量子ドットの総エネルギーの変化量が従来よりも抑制される。

【0024】これは、温度変化による量子ドットの総エネルギー変化が、概算的に、バルクとしてのエネルギーの変化と格子歪みに起因したエネルギー変化の和に等しくなるという考えに基づくものである。

【0025】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基いて説明する。

【0026】図3は、本発明の実施形態の量子ドット構造素子を示す断面図である。

【0027】図3に示した量子ドット構造素子は、ガリウム砒素(GaAs)よりなる結晶基板11上に、インジウム砒素(InAs)よりなる量子ドット12を自己形成した構造を例である。

【0028】GaAs結晶基板11に対して格子不整合となる組成でインジウム(In)、ガリウム(Ga)、砒素(A

s)の原料を供給すると、供給開始当初はGaAs結晶基板11の主面上にInAsの薄膜が形成されるが、その薄膜が膜弾性限界を越えた後は、三次元成長が起こって量子ドット12が形成される。

【0029】そして、InAs量子ドット12を例えばインジウムガリウム砒素(InGaAs)の歪緩和層(第1の半導体結晶層)13で覆った後に、歪緩和層13をGaAsの被覆層(第2の半導体結晶層)14で覆う。これにより、量子ドット12は歪緩和層13に埋め込まれて、量子ドット12の側部と上部には歪緩和層13が存在している

ことになる。
【0030】なお、図1で示した従来の量子ドット構造素子は、量子ドット2をInGaAs歪緩和層で覆われるような構造が採用されず、下地のGaAs基板1と同じ均一な半導体結晶(GaAs)13により量子ドット12を覆うような構造を有している。

【0031】次に、本発明の構造で温度変化が生じた場合に何が起こるかを説明する。

【0032】量子ドット構造素子において、量子ドットのエネルギーの温度変化は格子定数の温度変化に依存し、温度が上昇するとエネルギーが低くなる。

【0033】図4(a),(b)は、図3に示した本発明の量子ドット構造素子での温度変化にしたがった結晶格子歪の変化を模式的に示したものである。これに対して、図2(a),(b)は、図1に示した従来の量子ドットの低温状態と高温状態の温度変化に従った格子歪みの変化を模式的に示したものである。

【0034】図2、図4においては、量子ドット及びその周囲の層を構成する1つの結晶格子を1つのブロックで表しているが、その結晶格子(ブロック)の数は実際の数よりも少なく表示している。これは、量子ドットとその周囲の結晶の結晶格子歪の変化を理解し易くするためである。

【0035】まず、低温状態での量子ドット構造について、従来の構造では、図2(a),(b)に示したように、格子定数の大きな量子ドット2が格子歪みを誘起しつつ形成されている。

【0036】これに対して、本発明では、図4(a),(b)に示したように、横方向に格子定数がいくぶん大きな歪緩和層13の結晶が存在するために、量子ドット12にかかる縦方向の歪み量が従来に比べて少ない。なお、図4では、結晶歪の緩和を理解しやすくするために、横方向にのみ歪緩和層13が示されているが、図3に対応させると実際には量子ドット12の上の方にも歪緩和層13が極めて薄く形成されているので、横方向の歪み量も実際には従来よりも少なくなっている。

【0037】ところで、温度変化による量子ドットのエネルギー変化 ΔE_{total} は式(1)で表される。なお、式(1)において、 ΔE_{bulk} は、バルクとしてのエネルギー変化量であり、 ΔE_{strain} は、格子歪に起因したエ

ネルギー変化量であり、 ΔE_{offset} は、量子ドットとその周囲の結晶のバンドオフセットが変化したことにより生じる量子閉じ込めエネルギーの変化量である。

【0038】 $\Delta E_{total} = \Delta E_{bulk} + \Delta E_{strain} + \Delta E_{offset}$ (1)そして、素子温度を上げた場合には、 ΔE_{bulk} 、 ΔE_{strain} 及び ΔE_{offset} のそれぞれが変化して ΔE_{total} が変わることになる。

【0039】図3に示す素子構造を考えた場合に、量子ドット12を構成するInAsは格子定数が6.0584Åで、そのInAsの熱による線膨張係数が $5.2 \times 10^{-6} K^{-1}$ となる。これに対して、GaAsは、格子定数が5.6533ÅとInAsより小さいが、GaAsの熱による線膨張係数がInAsのそれよりも大きいために、温度が上がると格子歪が緩和される方向にある。

【0040】したがって、図1に示した従来の構造では、量子ドット構造の温度が上がると、格子歪エネルギーが減少するので、 ΔE_{strain} は符号が負となる。 ΔE_{bulk} も温度が上がる場合には符号が負であり、結晶歪の変化はバルクのエネルギーの温度変化を助長する。即ち、従来の量子ドット構造素子では、結晶格子の温度変化は、図2に示したように量子ドットとその周囲の結晶との歪みの緩和と収縮の差が大きくなる。

【0041】なお、 ΔE_{offset} は、 ΔE_{bulk} に伴う2次的な効果であり、それは無視できる大きさである。

【0042】これに対して、図3に示した本実施形態の量子ドット構造素子では、InAsとGaAsの中間組成のInGaAsよりなる歪緩和層13が、量子ドット12の周囲を取り囲んでいるために、もともとの量子ドット12のエネルギーに対する結晶歪みの影響が少ない分、温度が上がった場合の歪みエネルギー変化も少なく、結局、図4(a),(b)に示したように全体のエネルギー変化も従来例に比べて抑えられることになる。

【0043】以上のことから、高密度で高均一な量子ドット構造素子を作成するための新しい手段が提供され、高い性能を持った量子ドット素子が実現される。

【0044】次に、図3に示した本実施形態の量子ドット構造素子のさらに具体的な製造方法について説明する。

【0045】図3に示した量子ドットは、GaAs基板の上にMOVPE法により自己形成法により作成されたものである。MOVPE法による結晶成長の際に、基板温度を525℃に設定した。また、ソース源として、III族元素はトリメチルインジウム(TMI)、トリメチルインジウムジメチルエチルアミンアダクト(TMIDMEA)、トリエチルガリウム(TEG)及びトリメチルガリウム(TMg)により供給され、V族原料はアルシン(AsH₃)により供給される。

【0046】まず、TEGとAsH₃を用いて、図5(a)に示すように、GaAs基板11の主面上にGaAsよりなるバッファ層15を0.5μmの厚さに成長する。

【0047】次に、図5(b)に示すように、0.5ML (mono layer) 相当のTM1DMEAと0.1ML相当のTMGとAsH₃とを交互に14サイクルでバッファ層15の上に供給する。これにより、バッファ層15の上面にはInAsからなる高さ10nm程度の量子ドット(三次元長島)12が多数個形成される。その量子ドット12の周囲には量子ドットの高さよりも薄いInAs層12aが存在する。

【0048】続いて、ガス化されたTM1、TEGとAsH₃とをInAs層12a及び量子ドット12の表面に供給し、これにより図5(c)に示すように、InAs層12a及び量子ドット12の上にIn_{0.1}Ga_{0.9}Asよりなる歪緩和層13を10nmの厚さに形成し、その歪緩和層13によって量子ドット12を埋め込む。即ち、量子ドット12は、In_{0.1}Ga_{0.9}As歪緩和層13によって上部及び側部が覆われた状態になる。

【0049】その後、ガス状のTEGとAsH₃をIn_{0.1}Ga_{0.9}As層に供給し、これにより図5(d)に示すようにIn_{0.1}Ga_{0.9}As歪緩和層13上にGaAsよりなる被覆層14を30nmの厚さに形成する。

【0050】図6は、測定温度20~200Kにおける、サンプルのフォトルミネッセンス(PL)スペクトルである。そのサンプルは、図5(d)に示す本発明の量子ドット構造素子を有している。

【0051】図6において、発光強度(PLエネルギー)は規格化してある。最も長波長である1.35μm付近での発光ピークが量子ドット12の基底準位からの発光を示している。180Kもの温度差に対しても殆ど発光ピーク位置が変わっていない。

【0052】図7は、PLエネルギー温度変化をいくつかの条件で作成した量子ドットと比較したものである。

【0053】図7において、サンプルAは上記のIn_{0.1}Ga_{0.9}Asで量子ドットを埋め込んだ素子であり、サンプルBはサンプルAとはほぼ同一構造でIn_{0.2}Ga_{0.8}Asで量子ドットを埋め込んだ素子であり、サンプルCはサンプルAと殆ど同一構造でIn_{0.1}Ga_{0.9}Asにより量子ドットを埋め込んだ素子であり、Dは成長原料の同時供給によって*

*作成したGaAsで埋め込んだ素子である。即ち、サンプルA~Cは、図3に示す本発明の量子ドット構造素子を有し、サンプルDは実質的に図1に示す従来の量子ドット構造素子を有している。

【0054】図7によれば、In_xGa_{1-x}Asで表せるインジウムガリウム砒素の組成比xが0.2以上の材料により量子ドットを埋め込むことにより、温度に対するエネルギー変化が著しく抑えられることが分かる。また、サンプルCとサンプルDについて0Kと200KのそれぞれのPLEネルギーの差はほぼ同じであるが、50Kと200KのそれぞれのPLEネルギーの差はサンプルCの方が小さい。

【0055】尚、In_{0.1}Ga_{0.9}Asは、GaAsに対する本質的な格子定数が約1.4%大きい。従って、図7によれば、歪緩和層13の格子定数は被覆層14の格子定数に対して1.4%以上大きいことが望ましい。

【0056】なお、本発明の原理は、量子ドットが3次元的構造をしているが故に、縦と横の結晶軸方向の歪量を個別に制御できる。この特性は、上記に例示したInGaAs系結晶の自己形成量子ドットに限らずに成立するものであり、本発明が量子ドットを個性する材料や作成方法に特定されない。

【0057】例えば、GaAs基板、インジウム燐(InP)基板を用いた場合に、量子ドットとこれを覆う歪緩和層のそれぞれの結晶材料は表1のように選択される。また、炭化シリコン(SiC)基板、サファイア基板、窒化ガリウム(GaN)基板を用いた場合に、量子ドットとこれを覆う歪緩和層のそれぞれの結晶材料は表2のように選択される。さらに、シリコン(Si)基板を用いた場合に、量子ドットとこれを覆う歪緩和層のそれぞれの結晶材料は表2のように選択される。

【0058】なお、量子ドットとの上に形成される歪緩和層の組み合わせは、多くの組み合わせが存在し、材料の格子定数とバンドギャップの関係は図8、図9のようなものが知られている。

【0059】

【表1】

GaAs基板、Inp基板	
ドットの構成材料	ドットを覆う結晶材料
III-V族半導体	In _x Ga _y Al _{1-x-y} As _u P _v Sb _{1-u-v} 0≤x≤1, 0≤y≤1, 0≤x+y≤1 0≤u≤1, 0≤v≤1, 0≤u+v≤1
タリウム系	In _x Ga _y Al _z Tl _{1-x-y-z} As _u P _v Sb _{1-u-v} 0≤x, y, z≤1, 0≤x+y+z≤1 0≤u, v≤1, 0≤u+v≤1
II-IV族半導体	Zn _x Cd _y Mn _z Be _{1-x-y-z} S _u Se _{1-u} 0≤x, y, z≤1, 0≤x+y+z≤1 0≤u≤1

【0060】表1においては、量子ドット12をIn_xGa_{1-x}As(0<y≤1)のようなIII-V族元素から構成する場合に、歪緩和層13と被覆層14を例えばIn_xGa_{1-x}As(0<x≤1)のようなIII-V族元素によって

構成する場合に、その組成比 x の大きさは、被覆層14よりも歪緩和層13の方が0.2以上大きいことが好ましい。
＊

＊【0061】
【表2】

SiC基板、サファイア基板、GaN基板	
ドットの構成材料	ドットを覆う結晶材料
ナイトライド系	$\text{In}_x\text{Ga}_y\text{Al}_z\text{B}_{1-x-y-z}\text{N}$ $0 \leq x, y, z \leq 1$ $0 \leq x+y+z \leq 1$

【0062】

※10※【表3】

Si基板	
ドットの構成材料	ドットを覆う結晶材料
SiGe系	$\text{Si}_x\text{Ge}_{1-x}$ $0 \leq x \leq 1$

【0063】なお、量子ドットの作成は、上記した方法に限るものではなく、例えば化合物半導体基板の傾斜面（オフ面）に形成されることもある、この場合には、傾斜面に沿って上記した歪緩和層が形成されることになる。

【0064】

【発明の効果】以上述べたように本発明によれば、量子ドットの一部を第1の半導体結晶層によって覆うことにより、量子ドットとこれを覆う第2の半導体結晶層の格子歪みを緩和するようにしたので、量子ドットのもともとのエネルギーに対する格子歪みの影響が少なくて、温度変化による量子ドットの格子歪エネルギーの変化量が少なり、この結果、量子ドットの総エネルギーの変化量を従来よりも抑制することができる。

【図面の簡単な説明】

【図1】図1は、従来の量子ドット構造素子を示す断面図である。

【図2】図2(a),(b)は、従来の量子ドット構造素子の結晶格子の温度変化を示す模式図である。

【図3】図3は、本発明の実施形態に係る量子ドット構造素子を示す断面図である。

★【図4】図4(a),(b)は、本発明の実施形態に係る量子ドット構造素子の結晶格子の温度変化を示す模式図である。

20 【図5】図5(a)～図5(d)は、本発明の実施形態の量子ドット構造素子の製造工程を示す断面図である。

【図6】図6は、本発明の実施形態に係る量子ドット構造素子の20～200Kの温度範囲でのフォトルミネッセンススペクトルを示す図である。

【図7】図7が、本発明及び従来の量子ドット構造素子の温度とPLエネルギーの関係を示す図である。

【図8】図8は、バンドキャップ（波長）と格子定数の関係を示す第1の図である。

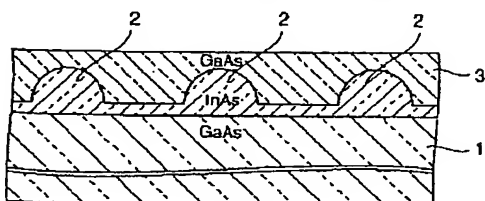
30 【図9】図9は、バンドキャップと格子定数の関係を示す第2の図である。

【符号の説明】

- 11…結晶基板
- 12…量子ドット
- 13…歪緩和層
- 14…被覆層
- 15…バッファ層

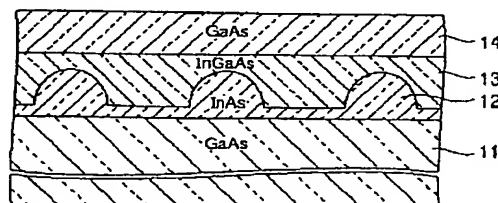
【図1】

従来の量子ドット構造素子を示す断面図



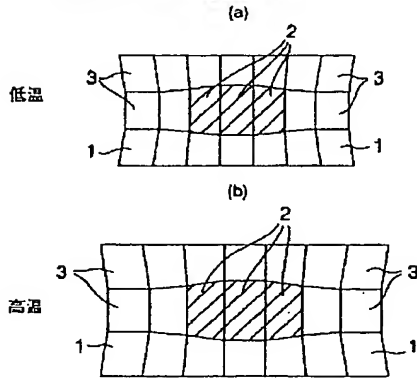
【図3】

本発明の実施形態に係る量子ドット構造素子を示す断面図



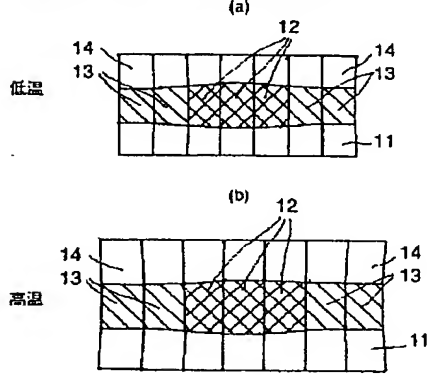
【図2】

従来の量子ドット構造素子の結晶格子の
温度変化を示す模式図



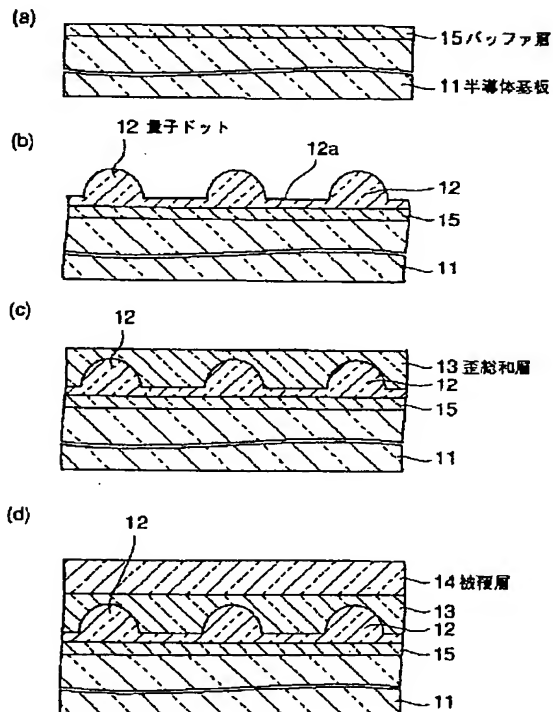
【図4】

本発明の実施形態に係る量子ドット構造素子の
結晶格子の温度変化を示す模式図



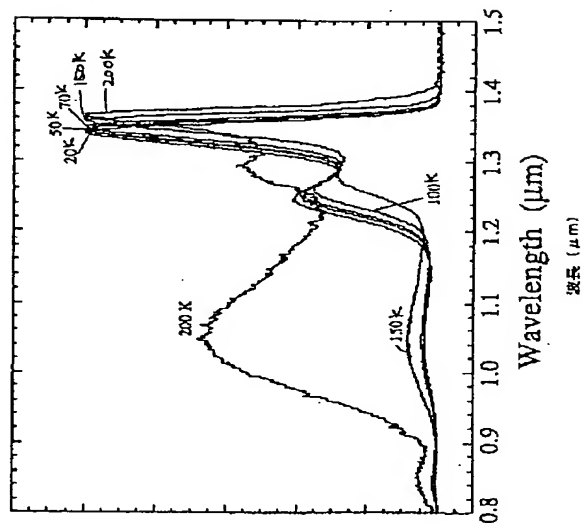
【図5】

本発明の実施形態の量子ドット構造素子の製造工程
を示す断面図



【図6】

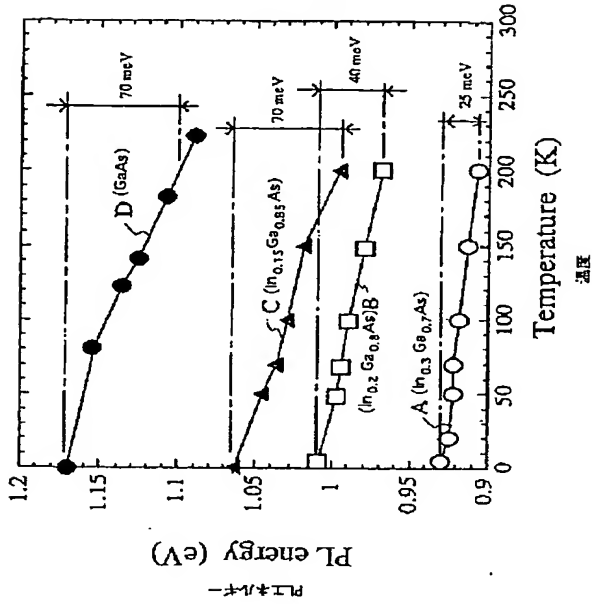
本発明の実施形態に係る量子ドット構造素子の20~200k
の温度範囲でのフォトルミネッセンススペクトルを示す図



PL intensity (Norm. units)
PL強度 (規格化された単位)

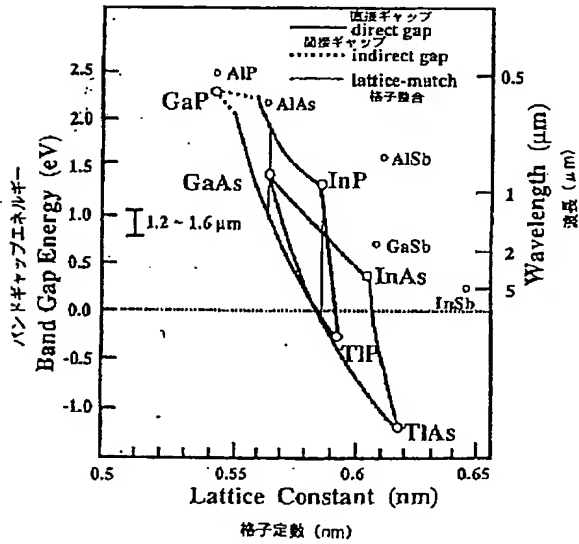
【図 7】

本発明及び従来量子ドット構造素子の温度とPLエネルギーの関係を示す図



【図9】

バンドギャップと格子定数の関係を示す第2の図



【圖 8】

バンドギャップ（波長）と格子定数の関係を示す第1の図

